


MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP2000124159
Publication date: 2000-04-28
Inventor: TAMURA TOSHITAKA; AKAI MITSUKUNI; INOKUCHI YUKARI; KAMETANI EIJI
Applicant: SHARP CORP
Classification:
 - **International:** H01L21/301; B26F3/00
 - **European:**
Application number: JP19980290932 19981013
Priority number(s):

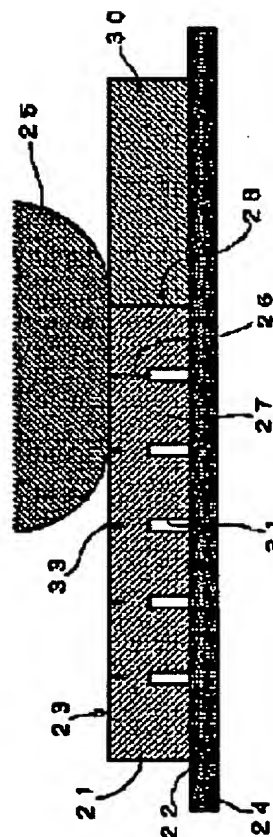
Also published as:

 JP2000124159 (A)

Abstract of JP2000124159

PROBLEM TO BE SOLVED: To split a semiconductor device from a semiconductor wafer in the vicinity of the cleavage surface of the semiconductor wafer with high yield.

SOLUTION: In a semiconductor wafer 21, diced grooves 31 are formed in a surface 22 of the wafer 21 from the side of the surface 22 with a half die and the surface 22 is stuck on an adhesive sheet 24, in a state in which scribed grooves 33 are formed in a rear 23 of the wafer 21 from the backside 23. A spacer 30 is made to adjoin a cleavage surface 28 of the wafer 21 to stick the spacer 30 on the sheet 24. The spacer 30 is formed of the same material as that for the wafer 21, and the thickness of the spacer 30 is also formed into a thickness equal to that of the wafer 21. When an elastic brake shaft 25 is pressed to the rear 23 of the wafer 21 from the side of the backside 23, the pressure from the shaft 25 acts in the thickness direction of the wafer 21 in the vicinity of the cleavage surface 28, cracks are developed between the grooves 33 and 31 and a sound optical semiconductor element 27 can be obtained, even in the vicinity of the cleavage surface 28.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-124159

(P2000-124159A)

(43) 公開日 平成12年4月28日 (2000. 4. 28)

(51) Int.Cl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 21/301		H 0 1 L 21/78	U 3 C 0 6 0
B 2 6 F 3/00		B 2 6 F 3/00	A
		H 0 1 L 21/78	W
			X
			M

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平10-290932

(22) 出願日 平成10年10月13日 (1998. 10. 13)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 田村 敏隆

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 赤井 光邦

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100075557

弁理士 西教 圭一郎

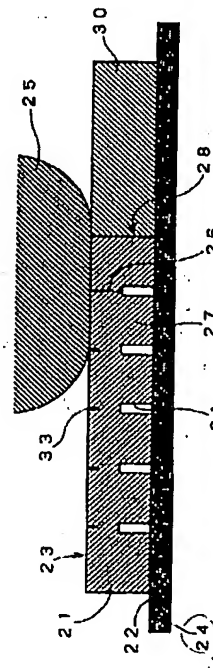
最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 半導体ウエハのへき開面近傍で歩留まり良く半導体素子を分割する。

【解決手段】 半導体ウエハ21は、ハーフダイスで表面22側からダイシング溝31を形成し、裏面23側からスクライプ溝33を形成した状態で、表面22を粘着シート24に張付ける。半導体ウエハ21のへき開面28には、スペーサ30を隣接させて粘着シート24上に張付ける。スペーサ30は、半導体ウエハ21と同一材料で、かつ厚みも同等に形成される。半導体ウエハ21の裏面23側から弾力性のあるブレイクシャフト25を押付けると、へき開面28の近傍でもブレイクシャフト25からの圧力は半導体ウエハ21の厚み方向に作用し、スクライプ溝33とダイシング溝31との間に割れ目25が生じて、へき開面28近傍でも健全な光半導体素子27を得ることができる。



【特許請求の範囲】

【請求項1】 へき開面を有する半導体ウエハに形成されている複数の半導体素子を分離する際に、へき開面に適合する形状を有するスペーサをへき開面に隣接させ、半導体ウエハとスペーサとに同時に圧力をかけて半導体ウエハを割り、半導体素子へ分割することを特徴とする半導体素子の製造方法。

【請求項2】 前記半導体ウエハおよび前記スペーサを粘着シート上に付着させ、該粘着シートを付着させていない側から圧力をかけて半導体素子への分割を行うことを特徴とする請求項1記載の半導体素子の製造方法。

【請求項3】 前記半導体ウエハおよび前記スペーサを、前記粘着シートに付着させた後、該粘着シートを、弾力性を有するシート上に載置して、該粘着シートを付着させていない側から圧力をかけて半導体素子への分割を行うことを特徴とする請求項1または2記載の半導体素子の製造方法。

【請求項4】 前記スペーサは、前記半導体ウエハの厚みを基準として、所定範囲内の厚みを有することを特徴とする請求項1～3のいずれかに記載の半導体素子の製造方法。

【請求項5】 前記スペーサは、前記半導体ウエハと同一の材質で形成されることを特徴とする請求項1～4のいずれかに記載の半導体素子の製造方法。

【請求項6】 前記半導体ウエハは、ハーフダイスされた状態で、ウエハ表面側から個々の半導体素子についての特性検査を行い、ウエハ裏面側でハーフダイスに対応する位置にスクライプを施してから、前記圧力をかけての分割を行うことを特徴とする請求項1～5のいずれかに記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体ウエハを分割して個々の半導体素子を製造する半導体素子の製造方法に関する。

【0002】

【従来の技術】従来から、個別の半導体素子や半導体集積回路は、半導体ウエハに複数個まとめて形成され、最終的に半導体チップに分割されて製造されている。モノリシックタイプの半導体素子では、半導体ウエハの状態で特性検査を行ってから、ダイシング装置で半導体ウエハ全体の厚みを切断するフルダイシングを行って、各半導体チップを分離している。しかしながら、発光ダイオード（以下「LED」と略称することがある）チップのように、半導体ウエハの一方表面側にアノード、他方表面側にカソード電極が形成される半導体素子では、そのうちのいずれか一方、または両方が各半導体素子毎に分離アイソレートされていない場合には、半導体ウエハ状

態で各半導体素子毎の特性検査を行うことができない。このような場合に、ダイシング装置でフルダイシングして、各半導体素子をチップに分割した状態で、個別に半導体素子の特性検査を行う方法がある。この方法では、個別の半導体素子をカソード側とアノード側とを区別して取扱う必要があるため、特性検査に時間がかかり、コストアップの要因になる。特に、半導体チップの大きさが小さく、半導体ウエハから数百から数万の半導体素子が得られる場合には、小さな半導体チップを個別に取扱って特性検査を行うことは、非常に時間とコストとがかかることになる。

【0003】これに対して、フルダイシングしないで、半導体ウエハのP/N接合部分まで一方の表面側からダイシングを行い、各半導体素子の一方の電極を機械的に分離してアイソレートし、半導体ウエハの状態で特性検査を行う方法がある。各半導体素子は半導体ウエハから分離されていないので、取扱いは容易であり、特にアノード側とカソード側とが半導体ウエハの一方の表面または他方の表面にそれぞれ規則的に配列された状態で形成されている。このため特性検査は迅速かつ容易に行うことができる。

【0004】図8は、半導体ウエハ1で、表面2から裏面3の間に、PN接合部4を有し、表面2および裏面3にそれぞれアノードまたはカソードのうちの一方の電極5または他方の電極6を有する光半導体素子7を形成してある状態を示す。このような多数の光半導体素子7が同一の半導体ウエハ1に形成される状態は、ウエハ製造工程で行われる。一般の半導体素子や半導体集積回路では、半導体ウエハ1の表面2側から個別の半導体素子または半導体集積回路の電気的特性の試験を行うことができる。光半導体素子7では、少なくとも表面2側の電極5を個別の光半導体素子7毎に分離してアイソレートしないと、電気的特性を測定して評価することができない。

【0005】図9は、ダイシング装置のダイシングソー10で、半導体ウエハ1の表面2を予め設定されるダイシングラインに沿って切断し、ダイシング溝11を形成している状態を示す。ダイシング溝11の深さは、半導体ウエハ1の表面2から裏面3までの厚み全部ではなく、表面2からPN接合部4までの部分が分離可能な程度に切断するハーフダイスを行う。ハーフダイス後に光半導体素子7についての特性検査が終わると、半導体ウエハ1は図10に示すように、裏面3の側からダイヤモンドツール12に引っ掻かれてスクライブ溝13が形成される。スクライブ溝13が形成される位置は、表面2側から形成されているダイシング溝11に対応する位置である。

【0006】図11は、裏面3側にスクライブ溝13を形成した半導体ウエハ1を、表面2の側を粘着シート14に張付けて、ブレイク工程を作っている状態を示す。

スクライプ溝13を加工した裏面3側からブレイクシャフト15を押圧すると、スクライプ溝13から半導体ウエハ1の厚み内部に割れ目16が発生して、半導体ウエハ1の板厚の全体にわたって発展し、光半導体素子7を分離することが可能となる。

【0007】図11に示すような半導体ウエハ1のブレイク工程に関連する先行技術は、たとえば特開平6-125002や特開平6-283757などに開示されている。特開平6-125002には、スクライプ溝についての画像処理で、ブレイクのために設けられるローラの軸線方向に対する角度ずれを補正して、ウエハを確実に分割可能なようにする先行技術が開示されている。特開平6-283757には、発光形LEDアレイで、表面側からPN接合部が設けられる深さよりも若干深い位置までダイシング溝を形成して、ハーフカットを行う先行技術が開示されている。

【0008】

【発明が解決しようとする課題】図11に示すように、半導体ウエハ1から個別の光半導体素子7などをブレイクシャフト15を押圧して分離する際には、半導体ウエハ1の外周付近で、ブレイクシャフト15からの押圧力が半導体ウエハ1の裏面3から板面に垂直な方向には作用しないで、傾斜した方向に作用し、割れ目16も傾斜した方向に生じる可能性がある。このような可能性は、特に半導体ウエハ1が、円板状の形状ではなく、結晶のへき開面に沿って外形が切断されている場合に生じやすい。へき開面17近傍では、へき開面17とスクライプ溝13との間隔が小さく、弾性のあるブレイクシャフト15の押圧力がへき開面17から傾斜した方向に作用して割れ目16がスクライプ溝13とダイシング溝11との間に形成されずに、位置がずれてしまう恐れがある。割れ目16が傾斜して生じると、光半導体素子7としての半導体チップ外観が不良となり、また半導体ウエハ1のハーフダイスの状態で測定した電気的特性とも異なってしまう恐れがある。

【0009】特開平6-125002や特開平6-283757の先行技術では、へき開面近傍で生じるブレイク工程での外観不良の問題と、その解決とについては何も示されていない。

【0010】本発明の目的は、半導体ウエハのハーフダイスの後で行うブレイク工程での外観不良を生じることなく、へき開面の近傍でも有効に半導体素子を分割することができる半導体素子の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明は、へき開面を有する半導体ウエハに形成されている複数の半導体素子を分離する際に、へき開面に適合する形状を有するスペーサをへき開面に隣接させ、半導体ウエハとスペーサとに同時に圧力をかけて半導体ウエハを割り、半導体素子へ

分割することを特徴とする半導体素子の製造方法である。

【0012】本発明に従えば、へき開面に適合する形状を有する、スペーサをへき開面に隣接させて、半導体ウエハとスペーサとに同時に圧力をかけるので、へき開面近傍でも圧力は半導体ウエハの厚み方向に印加され、スクライプ溝とダイシング溝との間で半導体ウエハを割って外形を損なうことなく半導体素子への分割を行うことができる。

10 【0013】また本発明は、前記半導体ウエハおよび前記スペーサを粘着シート上に付着させ、該粘着シートを付着させていない側から圧力をかけて半導体素子への分割を行うことを特徴とする。

【0014】本発明に従えば、半導体ウエハおよびスペーサは、粘着シート上に付着させる。圧力をかけての分割は、粘着シートを付着させていない側から行うので、分離された半導体素子を粘着シートで保持して、ばらばらにならないように留めておくことができる。

20 【0015】また本発明は、前記半導体ウエハおよび前記スペーサを、前記粘着シートに付着させた後、該粘着シートを、弾力性を有するシート上に載置して、該粘着シートを付着させていない側から圧力をかけて半導体素子への分割を行うことを特徴とする。

【0016】本発明に従えば、粘着シートを弾力性を有するシート上に載置した状態で、半導体ウエハおよびスペーサの粘着シートを付着させていない側から押圧するので、半導体ウエハは圧力によって大きくたわみ、容易に最適な割れ目を形成して分割することができる。

30 【0017】また本発明で前記スペーサは、前記半導体ウエハの厚みを基準として、所定範囲内の厚みを有することを特徴とする。

【0018】本発明に従えば、スペーサの厚みは半導体ウエハの厚みを基準として所定範囲内となるので、半導体ウエハのへき開面近傍で分割の際の圧力が隣接するスペーサと半導体ウエハとに同等に印加され、割れ目は半導体ウエハの板厚方向に形成されて、良好な形状で半導体素子を分割することができる。

【0019】また本発明で前記スペーサは、前記半導体ウエハと同一の材質で形成されることを特徴とする。

40 【0020】本発明に従えば、スペーサは半導体ウエハと同一の材質で形成されるので、機械的特性も同等となり、分割の際の圧力を受けて、半導体ウエハとスペーサとが同等の機械的挙動を示して、へき開面近傍での半導体ウエハへの割れ目形成が半導体ウエハの厚み方向に行われるように機械的な補償を行うことができる。

【0021】また本発明で前記半導体ウエハは、ハーフダイスされた状態で、ウエハ表面側から個々の半導体素子についての特性検査を行い、ウエハ裏面側でハーフダイスに対応する位置にスクライプを施してから、前記圧力をかけての分割を行うことを特徴とする。

【0022】本発明に従えば、半導体ウエハをハーフダイスした状態で上表面側から各半導体素子の電気的特性を測定しておき、ウエハ裏面側からスクライブを行った後、スペーサをへき開面に隣接させて圧力をかけての分割を行うので、効率よく半導体素子を製造することができる。

【0023】

【発明の実施の形態】図1は、本発明に実施の一形態で半導体ウエハ21をブレイクしている状態を示す。半導体ウエハ21はウエハプロセスでの処理の対象となる表面22と、裏面23とを有する。表面22は、粘着シート24に張付けられ、裏面23側から弾力性のあるブレイクシャフト25が押圧され、半導体ウエハ21の厚み方向に割れ目26が形成されて、個々の光半導体素子27が得られる状態を示す。半導体ウエハ21のへき開面28に隣接して、スペーサ30が配置され、へき開面近傍でのブレイクシャフト25からの圧力が裏面23から垂直に作用し、割れ目26がダイシング溝31からスクライブ溝33の間に確実に形成させることができる。

【0024】図2は、半導体ウエハ21の外観形状の例を示す。図2(a)は、半円形状の半導体ウエハ21aを示す。へき開面28は、弦となる外形の部分に形成される。図2(b)は、矩形形状の半導体ウエハ21bを示す。矩形形状では、外形の全ての面がへき開面28となる。図2(c)は、円形状の一部に、オリエンテーションフラットとして直線部29が形成されている状態を示す。この直線部29近傍まで半導体素子を形成するためにも、本発明は適用される。

【0025】一般には、半導体ウエハの形状は円形であるけれども、LED用の半導体ウエハでは、ハーフダイスのピッチは0.4mm~0.2mm程度となり、各光半導体素子27は正方形か矩形の形状となって、通常の半導体集積回路のチップに比べてサイズが小さくなる。半導体ウエハとしての元々の形状は約2インチの直径を有する円形か、疑似四角形かである。半導体ウエハの材質は、たとえばアルミニウム・ガリウム砒素(AlGaAs)などの化合物半導体であって、丸形状のウエハでも割れやすい。また最終的な半導体チップとしての出荷形態で、粘着シート上のチップ搭載エリアが大きくな

ないように制御されているので、ウエハを分割し、円形の形状でない半導体ウエハ21a、21bが使用される。半導体ウエハ21a、21bの厚みは約100μmから約350μm程度であり、ハーフダイシングによるダイシング溝31の深さは、その厚みの約半分である。

【0026】図3は、ハーフダイス後に特性検査を終了した半導体ウエハ21について、裏面23側にダイヤモンドツールでスクライブ溝33を形成した状態を示す。スクライブ溝33の深さは、スクライブ装置によってコントロールすることができる。

【0027】図4は、スクライブ溝33を形成した半導

体ウエハ21を、ブレイクするために、粘着シート24に張付けた状態を示す。従来は、図4に示すような半導体ウエハ21だけの状態でブレイクして、個別の光半導体素子27を分割しているけれども、本実施形態では、図5に示すように、へき開面28に隣接してスペーサ30を粘着シート24上に張付けている。スペーサ30は、半導体ウエハ21と同一材質で、厚みも±20μmの所定範囲内に収めるようにしている。このような状態で、図1に示すような弾力性のあるブレイクシャフト25を用い、スクライブ溝33が形成されている裏面23側から荷重をかけると、半導体ウエハ21から個別の光半導体素子27を歩留まり良く分割することができる。

【0028】図6は、本実施形態で個々の光半導体素子27を半導体ウエハ21から製造する概略的な工程を示す。ステップs1で半導体ウエハ21を用意し、ステップs2で半導体ウエハ21に対する各種ウエハプロセスを施し、複数の光半導体素子をそれぞれ製造する。ステップs3では、図2に示すように、表面22側からダイシング溝31を形成しハーフダイスを行う。ステップs4では、各光半導体素子27についての特性検査を行う。ステップs5では、図3に示すようなスクライブ溝33の形成を行う。ステップs6では、図4に示すように、スクライブ溝33を形成した半導体ウエハ21の表面22側を粘着シート24に張付ける。ステップs7では、半導体ウエハ21のへき開面28に隣接して粘着シート24上にスペーサ30を張付ける。ステップs8では、図1に示すようにブレイクシャフト25で半導体ウエハ21の裏面側を押圧し、個々の光半導体素子27への分割のためのブレイクを行う。ステップs9では、個々の光半導体素子27に分割され、粘着シート24上に保持された状態で製造工程を終了する。

【0029】分割が終了した光半導体素子27は、表面側が粘着シート24上に張付いた状態で保持されているので、さらに後工程で基板に直接マウントしたり、パッケージに封止したりする作業を効率よく行うことができる。

【0030】図7は、本発明の実施の他の形態でのブレイクの状態を示す。本実施形態では粘着シート24を弾力性を有する下敷きシート40上に載置して、ブレイクシャフト25を押圧し、半導体ウエハ21のブレイクを行う。半導体ウエハ21のへき開面28には、図1の実施形態と同様にスペーサ30が隣接して張付けられ、ブレイクシャフト25の圧力は半導体ウエハ21の厚み方向に印加されて、割れ目26もダイシング溝31とスクライブ溝33との間に確実に生じる。粘着シート24の下に下敷きシート40が設けられているので、押圧力で半導体ウエハ21は大きくたわみ、確実に割れ目26を形成することができる。

【0031】以上説明した各実施形態では、半導体ウエハ21から光半導体素子27を形成しているけれども、

他のトランジスタやダイオードなどの個別の半導体素子、あるいは小形の半導体集積回路チップを同様にハーフダイスの状態からブレイクで分割することができる。ハーフダイスの状態で分割すれば、フルダイスよりもダイシングの工程での所要時間を短縮することもできる。
【0032】

【発明の効果】以上のように本発明によれば、半導体ウエハのへき開面にスペーサを隣接させて、半導体ウエハとスペーサとに圧力をかけて半導体素子への分割を行うので、へき開面近傍の半導体素子の外形を損なうことなく半導体素子への分割を行うことができ、へき開面周辺での外形不良を減少させることができる。

【0033】また本発明によれば、粘着シートに張付けた状態で半導体ウエハとスペーサとを押圧して個々の半導体素子へ分割するので、分割後の半導体素子も粘着シート上に保持してばらばらにならないように留めておくことができる。

【0034】また本発明によれば、弾力性を有するシート上で半導体ウエハを押圧し、大きくたわませて確実に半導体素子への分割を行わせることができる。

【0035】また本発明によれば、スペーサの厚みが半導体ウエハの厚みを基準として所定の範囲内となるので、半導体ウエハのへき開面で、半導体ウエハの表面からスペーサの表面まで円滑に連なり、押圧のための圧力を均一に受けてへき開面近傍の半導体素子も良好な外形で分割することができる。

【0036】また本発明によれば、スペーサの材質は半導体ウエハと同一であるので、圧力に対する機械的な変形なども同様に行わせることができ、へき開面近傍での半導体ウエハへの圧力の印加状態もへき開面から離れた半導体ウエハへの圧力の印加状態と同等にして、半導体素子の健全な分割を行うことができる。

【0037】また本発明によれば、ハーフダイスされた半導体ウエハで、個々の半導体素子について特性検査をした後で、歩留まり良く個々の半導体素子への分割を行うことができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態でのブレイク状態を示す簡略化した断面図である。

*【図2】図1の実施形態で好適にブレイクを行うことができるへき開面28を有する半導体ウエハ21a、21bの形状を示す平面図および斜視図である。

【図3】半導体ウエハ21の裏面23にスクライプ溝33を形成した状態を示す斜視図である。

【図4】裏面23にスクライプ溝33を形成した半導体ウエハ21の表面22を粘着シート24に張付けた状態を示す側面図である。

【図5】へき開面28を有する半導体ウエハ21に隣接してスペーサ30を装着している状態を示す簡略化した平面図である。

【図6】図1の実施形態で半導体素子を製造する工程を示すフローチャートである。

【図7】本発明の実施の他の形態で半導体ウエハ21のブレイクを行う状態を示す簡略化した側面断面図である。

【図8】一般的な半導体ウエハ1で、ウエハプロセスが終了した状態を示す簡略化した断面図である。

【図9】図8の半導体ウエハ1の表面2側でハーフダイスを行っている状態を示す簡略化した側面図である。

【図10】図9の表面2側でハーフダイスを行った半導体ウエハ1に対し、裏面3側をスクライプした状態を示す簡略化した側面図である。

【図11】図10でスクライプを行った半導体ウエハの表面2側を粘着シート14に張付けてブレイクを行っている状態を示す簡略化した側面断面図である。

【符号の説明】

21, 21a, 21b 半導体ウエハ

22 表面

23 裏面

24 粘着シート

25 ブレイクシャフト

26 割れ目

27 光半導体素子

28 へき開面

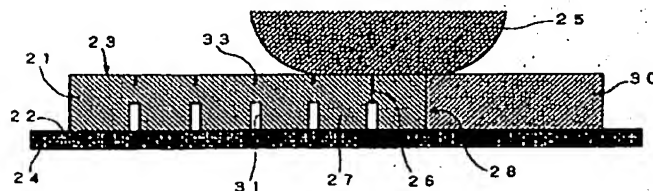
30 スペーサ

31 ダイシング溝

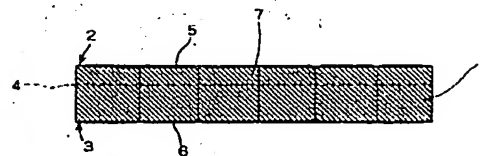
33 スクライプ溝

40 下敷きシート

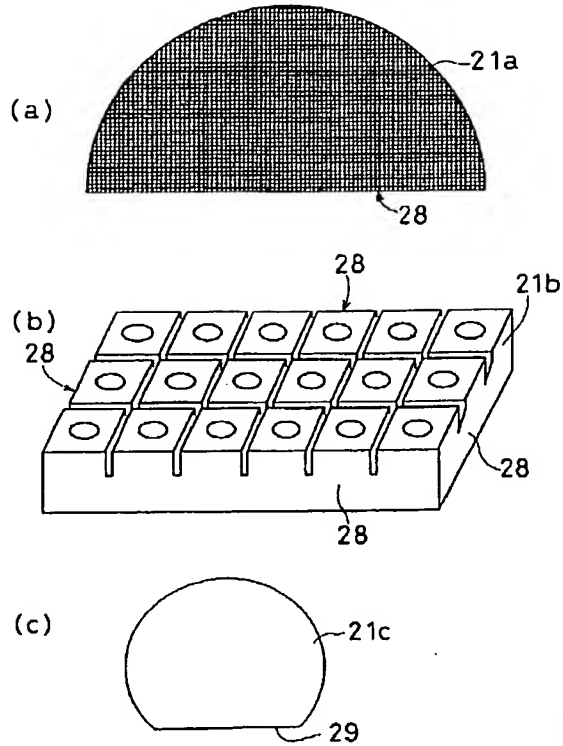
【図1】



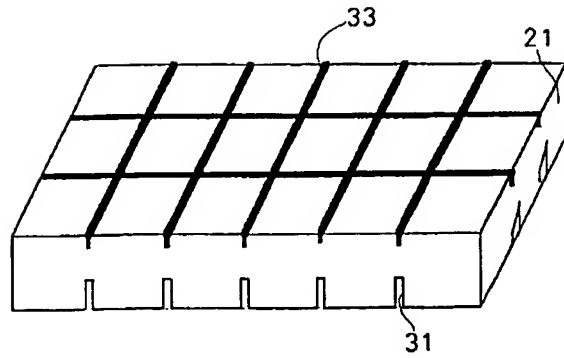
【図8】



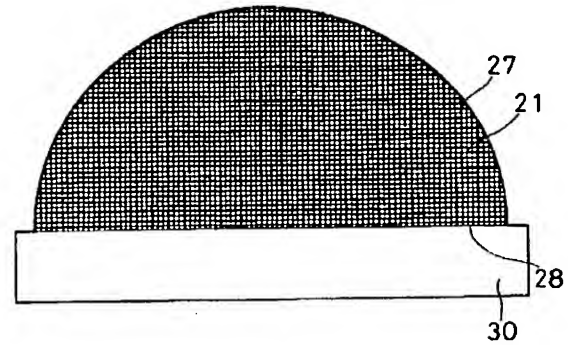
【図2】



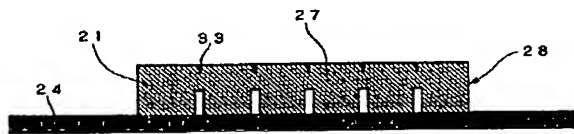
【図3】



【図5】

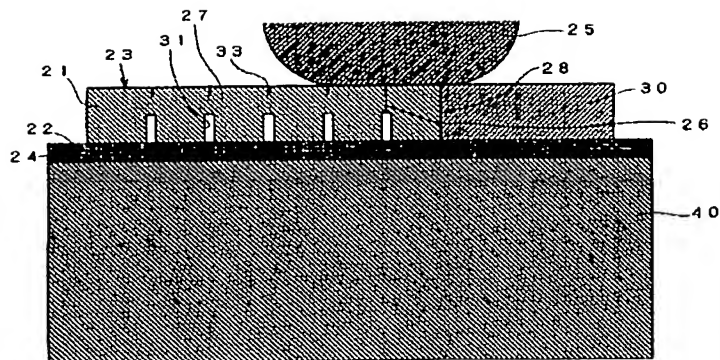
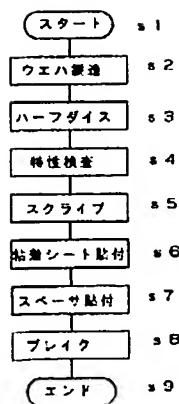


【図4】

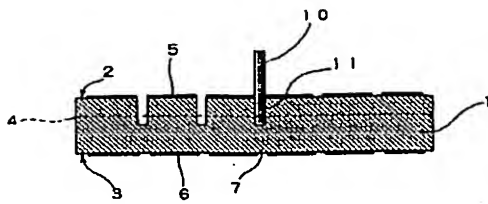


【図6】

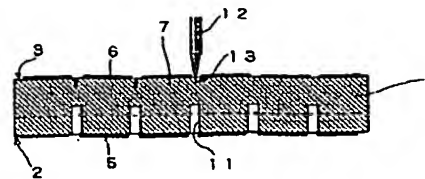
【図7】



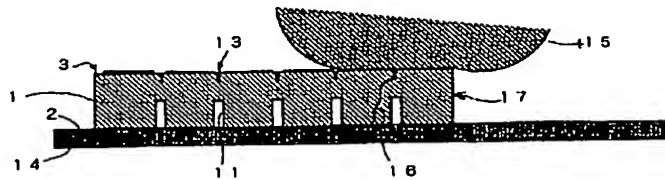
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 井ノ口 ゆかり
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 亀谷 英司
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
Fターム(参考) 3C060 AA10 CB06 CB17

THIS PAGE BLANK (USPTO)